

TCS3-100 校正基板説明書

株式会社テクノプローブ

1. パターンリスト

配列: GSGSG

パッドサイズ: 50 μm x 50 μm パッドピッチ: 100 μm

| パターン名称 | 搭載素子記号 | 用途 | 素子の位置 |
|-----------------|--------------------------|--|--|
| Open | O (No.1 to No.7) | SOLT 校正の Open TRL 校正の Open | No.1 : (3.0, 18.0) : (13.8, 18.0) Y: 2.0 mm pitch |
| Short | S (No.1 to No.7) | SOLT 校正の Short TRL 校正の Short | No.1 : (4.35, 18.0) : (15.15, 18.0) Y: 2.0 mm pitch |
| Load | L (No.1 to No.7) | SOLT 校正の 50 Ω Load | No.1 : (5.7, 18.0) : (16.5, 18.0) Y: 2.0 mm pitch |
| Line TH | TH (No.1 to No.7) | SOLT 校正のライン (1.86 ps delay) | No.1 : (7.05, 18.0) : (17.85, 18.0) Y: 2.0 mm pitch |
| Loop-Back Thru1 | LB-TH1 (No.1 to No.7) | ループバック用 スルーライン 1 (2.65 ps delay) | No.1 : (8.4, 18.0) : (19.2, 18.0) Y: 2.0 mm pitch |
| Loop-Back Thru2 | LB-TH2 (No.1 to No.7) | ループバック用 スルーライン 2 (2.65 ps delay) | No.1 : (9.75, 18.0) : (20.55, 18.0) Y: 2.0 mm pitch |
| Cross Thru1 | C-TH1 | クロス用スルーライン 1 (2.22 ps delay) | No.1 : (11.1, 18.0) : (21.9, 18.0) Y: 2.0 mm pitch |
| Cross Thru2 | C-TH2 | クロス用スルーライン 2 (2.22 ps delay) | No.1 : (12.45, 18.0) : (23.25, 18.0) Y: 2.0 mm pitch |
| Line 100 | L1 | TRL 校正のライン (100GHz 帯ライン) (4.36 ps delay) | (3.0, 3.0) |
| Line 80 | L2 | TRL 校正のライン (80GHz 帯ライン) (4.99 ps delay) | (6.0, 3.0) |

| | | | |
|----------|--------------------|--|--|
| Line 60 | L3 | TRL 校正のライン (60GHz 帯ライン) (6.03 ps delay) | (9.0, 3.0) |
| Line 40 | L4 | TRL 校正のライン (40GHz 帯ライン) (8.11 ps delay) | (12.0, 3.0) |
| Line 20 | L5 | TRL 校正のライン (20GHz 帯ライン) (14.36 ps delay) | (16.5, 3.0) |
| Line 10 | L6 | TRL 校正のライン (10GHz 帯ライン) (26.86 ps delay) | (21.0, 3.0) |
| Line 5 | L7 | TRL 校正のライン (5GHz 帯ライン) (51.86 ps delay) | (4.5,1.0) |
| Line 2.5 | L8 | TRL 校正のライン (2.5GHz 帯ライン) (101.86 ps delay) | (16.5,1.0) |
| Mark | M-1, M-2, M-3, M-4 | アライメントマーク | M-1: (0, 0) 基準点 M-2: (24.0, 0) M-3: (24.0, 19.0) M-4: (0, 19.0) |

2. Substrate top view

Thickness: 0.635 mm

TCS3-100 (Pattern: GSGSG, Pitch: 100μm)

